

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-024672

(43)Date of publication of application : 07.02.1985

(51)Int.Cl.

G06F 15/347

(21)Application number : 58-130817

(71)Applicant : HITACHI LTD

(22)Date of filing : 20.07.1983

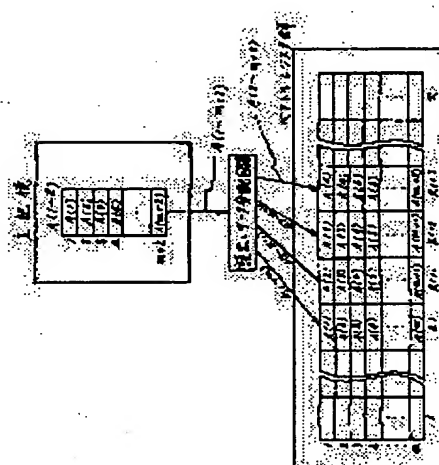
(72)Inventor : OMODA KOICHIRO  
NAGASHIMA SHIGEO

## (54) VECTOR PROCESSING DEVICE

## (57)Abstract:

PURPOSE: To read out efficiently a vector data by reducing a wasteful memory overhead, when reading out in multiple the vector data on a main storage by shifting a reference range little by little.

CONSTITUTION: A data read-out from a main storage is executed only once of  $A(1Wm+2)$ , and a read-out data distributing circuit distributes a data required for correspondence of each vector register basing on an information such as a head element number, a vector length, etc. For instance, the head element number of the data transferred to vector registers  $R1, (R1+1)W, (R1+3)$  become 1, 2, 2 and 3, respectively, and the vector length becomes  $(m)$ . According to such a method, it does not occur that the same element data is overlapped and read out, and an efficient memory access is executed. Also, although a read-out port from the main storage is only one, the data can be stored simultaneously in plural vector registers, therefore, the data required for an arithmetic can be prepared quickly.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭60—24672

⑤ Int. Cl.<sup>4</sup>  
G 06 F 15/347

識別記号

庁内整理番号  
7056—5B

③ 公開 昭和60年(1985)2月7日

発明の数 1  
審査請求 未請求

(全 9 頁)

⑭ ベクトル処理装置

① 特 願 昭58—130817

② 出 願 昭58(1983)7月20日

⑦ 発 明 者 面田耕一郎

国分寺市東恋ヶ窪1丁目280番  
地株式会社日立製作所中央研究  
所内

⑦ 発 明 者 長島重夫

国分寺市東恋ヶ窪1丁目280番  
地株式会社日立製作所中央研究  
所内

① 出 願 人 株式会社日立製作所

東京都千代田区神田駿河台4丁  
目6番地

⑦ 代 理 人 弁理士 高橋明夫 外1名

明 細 書

発明の名称 ベクトル処理装置

特許請求の範囲

主記憶に格納された複数要素から成るベクトルデータを、順次ベクトルレジスタに読出して演算するベクトル処理装置であつて、

該主記憶に格納された該ベクトルデータを、先頭要素番号を少しずつ可変にして複数個のベクトルレジスタに読出す際、

該ベクトルデータを複数個の該ベクトルデータに同時に読出すことを指定するロード命令を設け、該主記憶から読出す該ベクトルデータの個数を生成するメモリアクセス長生成手段、該主記憶から読出す一連の該ベクトルデータのうちの範囲を所定の該ベクトルレジスタへ分配して書き込むかを制御する分配範囲情報に基づき所定の該ベクトルレジスタへ分配する分配手段とにより、

該主記憶からの該ベクトルデータの同一要素データの読出しを重複して行なうことなく、1回

の読出して済ませること

を特徴とするベクトル処理装置。

発明の詳細な説明

〔発明の利用分野〕

本発明はベクトル演算を高速に実行可能なベクトル処理装置に関し、特に、主記憶上に格納されたベクトルデータを、参照範囲を少しずつずらし多重に読出す際、無駄なメモリアクセスを削減し、効率良いベクトルデータ読出しを行なうベクトル処理装置に関する。

〔発明の背景〕

科学技術計算に現われる代表的な物理モデルに、連続モデル(分布定数系モデル)がある。

空気や水のような流体、電磁波のような波動、熱やガスのような拡散などの物理現象の特徴は近接作用である。即ち、媒質中のある点に於ける状態は、近傍の媒質からの作用により決定され、遠方から直達する作用がないのが一般的である。

例えば、1次元の連続モデルとし、1次元上に(m+2)個の点を仮定する。タイムステップt

での点  $i$  の値を求めるには、タイムステップ ( $i-1$ ) での点 ( $i-1$ ) と点  $i$  の値を用いた演算、および点  $i$  と点 ( $i+1$ ) の値を用いた演算が必要となる。これらの演算を  $i=2, 3, \dots, m+1$  まで行なうためには、点 1 ～点  $m$  までの値  $(A(1 \sim m))$ 、点 2 ～点  $(m+1)$  までの値  $(A(2 \sim m+1))$ 、点 3 ～点  $(m+2)$  までの値  $(A(3 \sim m+2))$  を順次必要とする。なお、 $i=1$  と  $m+2$  の両端の値は特別に設定された境界条件に基づき演算されるものとする。

上記演算の特徴は、主記憶に格納された同一データ  $A(1 \sim m+2)$  を、先頭要素番号を少しずつずらして何度も参照することである。

このように、同一の配列データを、先頭要素番号を少しずつ可変として何度も参照することは、一般の科学技術計算ではしばしば出現する。

なお、先頭要素番号とは、ベクトルデータのある範囲を参照する際、その範囲の先頭の要素番号を表わすものとする。即ち、ベクトルデータ  $A(1 \sim m+2)$  のうち、 $A(3 \sim m+2)$  の範

記憶からベクトルレジスタ ( $R1+2$ ) に直接読出すのではなく、ベクトルレジスタ ( $R1+1$ ) に読出されたデータをベクトルレジスタ ( $R1+2$ ) へ転送命令を用いて転送する方式も考えられる。

第1図に於て、破線がこの転送ルートを示しているが転送のためにベクトルレジスタ ( $R1+1$ ) の読出し制御回路および演算器が無駄に使用中となってしまうという問題点があつた。

#### 〔発明の目的〕

従つて、本発明は上述した問題点を除去し、主記憶上に格納されたベクトルデータを、先頭要素番号を少しずつずらして複数個のベクトルレジスタに読出す際、同一要素データが繰返し主記憶にアクセスされることによる無駄なメモリアccessを削減し、効率良いデータ読出しを行なうベクトル処理装置を提供することである。

#### 〔発明の概要〕

第2図を用いて、本発明を総括的に説明する。第2図は第1図と同様、主記憶に格納されている

図のデータを参照する際、先頭要素番号は3となる。

前述のようなデータ参照をベクトルプロセッサを用いて行なう場合の従来技術を第1図を用いて説明する。第1図は、主記憶に格納されているベクトルデータ  $A(1 \sim m+2)$  のうち、 $A(1 \sim m)$  をベクトルレジスタ  $R1$  へ、 $A(2 \sim m+1)$  をベクトルレジスタ ( $R1+1$ ) と ( $R1+2$ ) へ、 $A(3 \sim m+2)$  をベクトルレジスタ ( $R1+3$ ) に読出す場合を示している。従来技術では、4個のロード命令を用いて別々に主記憶からベクトルレジスタに読出していた。従つて、同一要素データを複数命令で何度も読出す場合が多く（例えば、図1の例では、データ  $A(3 \sim m)$  は4命令で重複して読出される）、このため無駄なメモリアccessが頻発して性能低下の一要因となつていた。

また、ベクトルレジスタ ( $R1+2$ ) の  $A(2 \sim m+1)$  は、ベクトルレジスタ ( $R1+1$ ) のデータと同一であるため、 $A(2 \sim m+1)$  を主

ベクトルデータ  $A(1 \sim m+2)$  のうち、 $A(1 \sim m)$  をベクトルレジスタ  $R1$  へ、 $A(2 \sim m+1)$  をベクトルレジスタ ( $R1+1$ ) と ( $R1+2$ ) へ、 $A(3 \sim m+2)$  をベクトルレジスタ ( $R1+3$ ) に読出す処理を示している。

本発明では、主記憶からのデータ読出しは  $A(1 \sim m+2)$  の1度だけとし、図中に示す読出しデータ分配回路が、先頭要素番号、ベクトル長（ベクトルレジスタへ格納すべきデータの個数）等の情報に基づき、各ベクトルレジスタ対応に必要なデータを分配する。

例えば、ベクトルレジスタ  $R1$ 、( $R1+1$ )、( $R1+2$ )、( $R1+3$ ) へ転送するデータの先頭要素番号は各々、1、2、2、3となり、ベクトル長は  $m$  となる。

このようにすれば、同一要素データを重複して読出すということがなく効率良いメモリアccessが実現できると同時に、また、主記憶からの読出し口が1個にもかかわらず同時に複数のベクトルレジスタにデータを格納することができるため演

算に必要なデータが早く準備できるという効果がある。

#### [発明の実施例]

第3図は本発明の実施例を説明するためのベクトル処理装置の概略構成を示す。

図中、1は主記憶、2は記憶制御ユニット、3はスカラ命令を実行するスカラ処理ユニット、4はベクトル命令を実行するベクトル処理ユニット、5はスカラ命令制御部、6はスカラ演算器、7は汎用レジスタ、8はベクトル命令制御部、9はベクトルデータの主記憶1へのアクセス(読出しまたは書込み)要求を発行するメモリリクエスト、10は主記憶1からの読出しデータを分配する読出しデータ分配回路、11は、ベクトル演算器14の演算結果と、読出しデータ分配回路10から出力される主記憶1からの読出しデータを指定されたベクトルレジスタへ読込むための書込みパスの選択を行なうパス選択、12は複数個のベクトルレジスタで構成されるベクトルレジスタ群、13は指定されたベクトルレジスタからデータを

各分配回路から出力される制御情報と一緒にパス選択11へ入力される。なお、信号線L1-1を介してアドバンス、L1-3を介して終了信号が転送される。

信号線L8-1を介してアドレス情報および開始信号が、L8-2を介してメモリアクセス長(主記憶1から読出すベクトルデータの個数)がベクトル命令制御部10からメモリリクエスト9へ転送される。メモリリクエスト9はこれらの情報をもとに信号線L9-1を介して記憶制御ユニット2へリクエストを送出する。なお、記述が前後するが、このリクエストに基づき、前述したアドバンス、終了信号、読出しデータが記憶制御ユニット2から転送される。信号線L8-3~L8-6を介して、開始信号が各々、分配回路10-1~10-4に転送される。なお、この開始信号は命令により指定された必要な分配回路にのみ転送される。即ち、主記憶1からの読出しデータを1個のベクトルレジスタへ転送する命令であれば分配回路10-1へ、2個のベクトルレジスタへ

読出し、ベクトル演算器14へ演算データを、また、メモリリクエスト9へ主記憶1への書込みデータを転送するデータ選択、14はベクトル演算器である。

第4図は第3図における読出しデータ分配回路10の概略の1構成を示している。

図中、10-1~10-4は読出しデータ分配回路、10-5、10-6はレジスタ、L1-1~L1-3、L8-1~L8-15、L9-1、L10-1~L10-14は信号線であり、図3と同一番号については省略する。

読出しデータ分配回路10には、4個の分配回路があり、記憶制御ユニット2から信号線L1-2を介して主記憶1から転送される読出しデータを4つに分配するための制御を行なう。ここで、分配個数を4とし、最大4個のベクトルレジスタへのデータ分配を可能としているが、特に4に限定されるものではない。

信号線L1-2で転送される読出しデータはレジスタ10-6、信号線L10-13を介して、

転送する命令であれば分配回路10-1と10-2へ転送し、最大4個のベクトルレジスタへ転送する命令であれば分配回路10-1~10-4へ開始信号を転送する。

信号線L8-7でベクトル長(ベクトルレジスタへ格納すべきデータの個数)を転送し、信号線L8-8~L8-11で各々分配回路10-1~10-4へ先頭要素番号を転送する。

また、ベクトル命令制御部8は、パス選択11へ信号線L8-12~L8-15を介して、各々分配回路10-1~10-4から出力される制御情報がどのベクトルレジスタへ接続されるかのパス選択情報を転送する。

分配回路10-1~10-4は、対応する各々の信号線L8-3~L8-6の開始信号が逆出力されるとL8-7のベクトル長、L8-8~L8-11の先頭要素番号を受取ると同時に、各々信号線L10-1~L10-4を介して開始信号(パス選択11によつて接続されるベクトルレジスタへ送出され、書込み開始の指示を行なう信号)

をバス選択11へ伝送する。その後、信号線L1-2から伝送されるアドバンスを受取ると、これに同期して、前記の先頭要素番号とベクトル長に基き、信号線L10-5~L10-8を介して書き込み信号を、また、L10-9~L10-12を介して終了信号をバス選択11へ送出する。

また、信号線L1-3を介して伝送される終了信号は、レジスタ10-5、信号線L10-14を介して命令制御部へ送出される。

第5図は、第4図に於けるベクトル命令制御部8の1構成例を示す。

図中、200は開始終了制御、201はベクトル命令を格納する命令バッファ、202は命令レジスタ、203はレジスタ群、204はベクトル長レジスタ、205はデコーダ、206はプラス1回路、207はプラス2回路、208はプラス3回路、209は最大値検出回路、210はセレクタ、211は加算器、212~215、220、222はOR回路、216~219、221はAND回路、223はマイナス1回路、L200

10への開始信号となる。また、OR回路212~215の出力は、OR回路220でORされ、信号線L204の起動信号とAND回路221でANDがとられ、メモリクエスタ9へ開始信号として出力される。

命令レジスタ202のR1フィールドでは、1個のベクトルレジスタ番号が指定され、2~4個のベクトルレジスタを必要とするときは、プラス1回路206、プラス2回路207、プラス3回路208で各々レジスタ番号が加算されてバス選択11へ伝送される。

命令レジスタ202のR2フィールドは、複数のレジスタで構成されるレジスタ群203のレジスタ番号を指定し、この番号により選択されたレジスタの値が、先頭要素番号として信号線L8-8~L8-11を介して読出しデータ分配回路10へ転送される。なお、本実施例では簡単のために先頭要素番号は正の値のみとする。

ベクトル長レジスタ204にはベクトル長がセットされているが、このベクトル長はベクトルレ

ジスタへ格納すべきデータの個数を表わしており、信号線L8-7を介して読出しデータ分配回路10へ転送される。一方、メモリクエスタ9へ信号線L8-2を介して伝送されるメモリアクセス長は、主記憶1から読出すベクトルデータの個数を表わしている。従つて、読出しデータを2~4個のベクトルレジスタへ分配する場合は、メモリアクセス長は必ずしもベクトル長に一致せず、ベクトル長より大きな値となるのが一般的である。このため、メモリアクセス長は先頭要素番号の最大値を最大値検出回路209で選択し、さらに、マイナス1回路223で1だけ減算した値をセレクタ210を介して加算器211に入力して、ベクトル長に加算することにより求められる。

なお、信号線L8-1~L8-15、L10-14の意味は第4図での説明と同様である。

命令バッファ201から命令レジスタ202にベクトル命令を読出す。命令レジスタ202のオペレーションコード(OPコード)フィールドをデコーダ205に入力して命令を解釈する。デコーダ205から出力される解釈結果は種々の制御を行なうが、信号線L200~L203はロード命令を解釈すると出力され、信号線L200は読出したデータを1個のベクトルレジスタへ分配するロード命令のとき1、L201~L203は各々、2、3、4個のベクトルレジスタへ分配するロード命令のとき1となり、これら信号線L200~L203の値はOR回路212~215でORされる。なお、OR回路215は削除可能である。OR回路212~215の出力は、各々、AND回路216~219に入力され、開始終了制御200から信号線L204を介して出力される起動信号とANDがとられ読出しデータ分配回路

ジスタへ格納すべきデータの個数を表わしており、信号線L8-7を介して読出しデータ分配回路10へ転送される。一方、メモリクエスタ9へ信号線L8-2を介して伝送されるメモリアクセス長は、主記憶1から読出すベクトルデータの個数を表わしている。従つて、読出しデータを2~4個のベクトルレジスタへ分配する場合は、メモリアクセス長は必ずしもベクトル長に一致せず、ベクトル長より大きな値となるのが一般的である。このため、メモリアクセス長は先頭要素番号の最大値を最大値検出回路209で選択し、さらに、マイナス1回路223で1だけ減算した値をセレクタ210を介して加算器211に入力して、ベクトル長に加算することにより求められる。

なお、OR回路222の出力は、セレクタ210のセレクト条件となり、出力が1のとき(即ち、2個以上のベクトルレジスタへ読出しデータを分配する場合)マイナス1回路223からの値をセレクトする。

また、命令レジスタ202のアドレス情報フィ

ールドの値は、メモリリクエスト9へ転送される。

主記憶1からの読出しデータを1個のベクトルレジスタへ転送するよう従来のロード命令では、ベクトル長がメモリアクセス長に等しいため、メモリアクセス長の生成手段が不要である。

また従来命令では主記憶1からの読出しデータを複数のベクトルレジスタへ分配する必要がないため、データの分配手段、分配すべき複数のベクトルレジスタ番号、データ分配範囲情報（本実施例では、先頭要素番号とベクトル長により、読出したデータのどの範囲をベクトルレジスタに書き込むかを制御しているが、これに相当する情報であれば向でも良く、また、指定手段は本実施例のようにレジスタ群203、ベクトル長レジスタ204に限るものではなく、例えばロード命令に新たにフィールドを追加して指定しても良い）が不要である。

第6図は第4図に於ける分配回路10-1の構成を示しており、他の分配回路10-2～10-4も同様の構成である。図中、100-1は先頭

れ、先頭要素番号の1がセレクタ120-1を介して先頭要素レジスタ100-1にセットされ、また、ベクトル長の5がセレクタ121-1を介してレンジレジスタ104-1にセットされ、同時に信号線L8-3からの開始信号は開始レジスタ105-1を介して信号線L10-1に出力される。

さらに、信号線L8-3からの開始信号は、AND回路130-1でクロックとANDがとられビジイレジスタ101-1を1にセットする。

信号線L8-3から開始信号が転送されるのと同期して、信号線L8-1を介してメモリリクエスト9へ開始信号が転送される。メモリリクエスト9はアドレス生成後、記憶制御ユニット2へメモリリクエストを発行する。メモリリクエスト発行後、5サイクル（5という値は特に意味は無い）でアドバンスが信号線L1-1を介して記憶制御ユニット2から分配回路10-1へ転送され、このアドバンスに対応する読出しデータは1サイクル遅れて信号線L1-2を介してレジスタ10-

要素レジスタ、101-1はビジイレジスタ、

102-1は書き込みイネーブルレジスタ、103-1はアドバンスレジスタ、104-1はレンジレジスタ、105-1は開始レジスタ、110-1と111-1はカウントダウン、112-1、113-1は1検出、120-1と121-1はセレクタ、130-1～136-1はAND回路である。

第7図は、第6図の動作を説明するためのタイムチャートであり、第2図に於て、ベクトル長であるmを5とした場合の処理の流れを示している。以下では、第7図をもとに第6図の動作を中心に記す。

まず最初に、分配回路10-1の動作を説明する。分配回路10-1は、読出しデータA(1)～A(7)のうち、A(1)～A(5)をベクトルレジスタR1に分配する。

ベクトル命令制御部8から開始信号、先頭要素番号、ベクトル長が各々信号線L8-3、L8-8、L8-7を介して分配回路10-1に転送さ

6へ転送される。また、L1-3を介してレジスタ10-5へ転送される終了信号は最後のアドバンスと同時に転送されるものとする。

最初のアドバンスが転送されると、先頭要素レジスタ100-1の値が1であるため1検出112-1から1が出力され、さらに、ビジイレジスタ101-1の出力も1であるためAND回路131-1からクロックと同期して1が出力され、書き込みイネーブルレジスタ102-1が次サイクルで1にセットされる。このレジスタ102-1の値が1にセットされている間は、アドバンスレジスタ103-1の値が1であれば、AND回路133-1の出力が1となり、信号線L10-5を介して書き込み信号が転送される。

また、レジスタ102-1の値が1にセットされている間、アドバンスレジスタ103-1の値が1であれば、レンジレジスタ104-1の値はカウントダウン111-1で1ずつ減算される。なお、減算のためのイネーブル信号はAND回路134-1から出力される。そして、レンジスレ

レジスタ104-1の値が1に到達したときAND回路135-1から1が出力されてビジイレジスタ101-1、書込みイネーブルレジスタ102-1が0にリセットされ処理が終了する。

なお、リセット条件が成立するとき、同時に、AND回路136-1から1が出力され、信号線L10-9を介して終了信号が転送される。

このようにして、第7図に示す如く、ベクトルデータA(1)~A(5)の5要素をベクトルレジスタR1へ書込むことができる。

次に、分配回路10-4の動作を説明する。

分配回路10-4は、読出しデータA(1)~A(7)のうち、A(3)~A(7)をベクトルレジスタ(R1+3)に分配する。分配回路10-4の構成も、第6図の分配回路10-1の構成と同様であるが、第6図の各コンポーネントの識別番号は、ハイフン以下の数を全て4にすることとする。即ち、先頭要素レジスタは100-4として参照される。前述の分配回路10-1での説明と異なる点は、先頭要素番号が1から3へ変ったことである。

最初のアドバンスが送出される時点で、先頭要素レジスタ100-4の値は3であり、1検出112-4の出力は1とならないため書込みイネーブルレジスタ102-4は1にセットされない。このとき、レジスタ100-4の値はカウントダウン110-4でマイナス1され、セレクト120-4を介して2の値が次サイクルの先頭でセットされる。2番目のアドバンスが送出されると、レジスタ100-4の値はさらにマイナス1されて1が再セットされる。なお、減算のためのイネーブル信号は、AND回路132-4から出力される。次に、3番目のアドバンスが送出されると、今度は1検出112-4の出力が1となり、次サイクルに書込みイネーブルレジスタ102-4が1にセットされ、以後は、前述した分配回路10-1の動作と同様に制御され、ベクトルデータA(3)~A(7)がベクトルレジスタ(R1+3)に書込まれる。

本実施例では、各分配回路は1個のメモリリクエストからの読出しデータをベクトルレジスタへ

格納するための分配制御をするよう構成されているが、各分配回路は、複数個のメモリリクエストからの読出しデータを選択して、ベクトルレジスタへ格納するよう構成することも容易に実現できる。例えば、分配回路10-1と10-2が、あるリクエストから読出されたベクトルデータA(1)~A(m+1)のうち、各々ベクトルデータA(1)~A(m)、A(2)~A(m+1)を、また、別のリクエストから読出された異なるベクトルデータB(1)~B(m+2)のうち、分配回路10-3と10-4が、各々ベクトルデータB(1)~B(m)、B(3)~B(m+2)を各々のベクトルレジスタに格納させるよう構成できる。

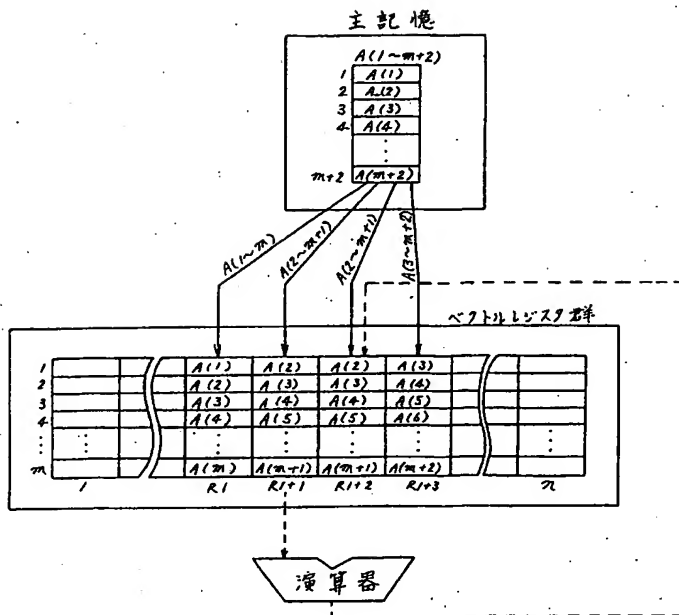
#### 〔発明の効果〕

以上のように重複使用するベクトル要素のフェッチを一回のメモリアクセスでできることになり、ベクトル処理のスピードアップ効果が大きい。

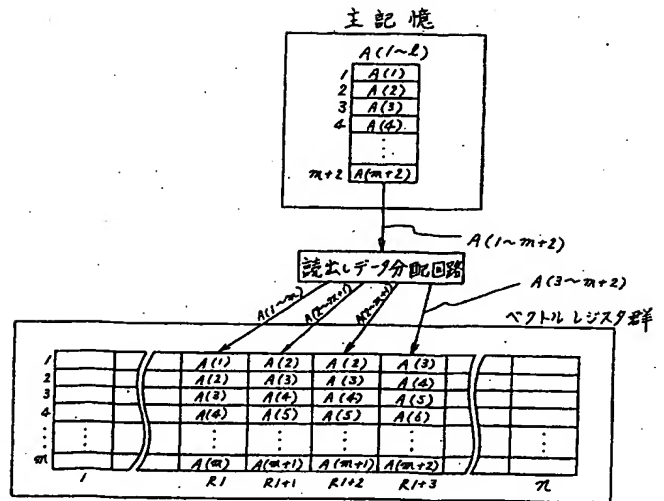
#### 図面の簡単な説明

第1図は、従来技術の説明図、第2図~第7図は本発明の実施例の説明図である。

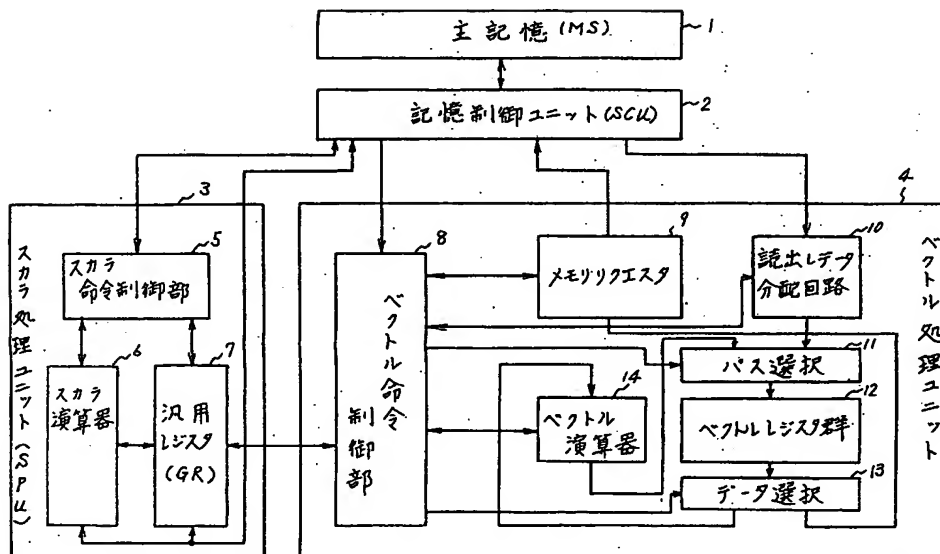
第1図



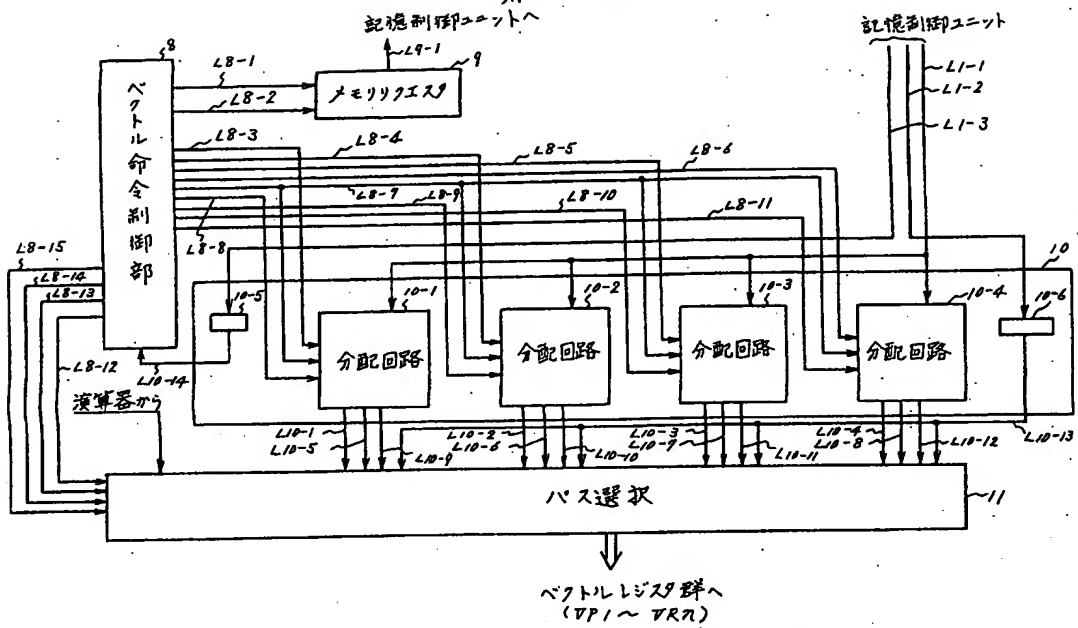
第2図



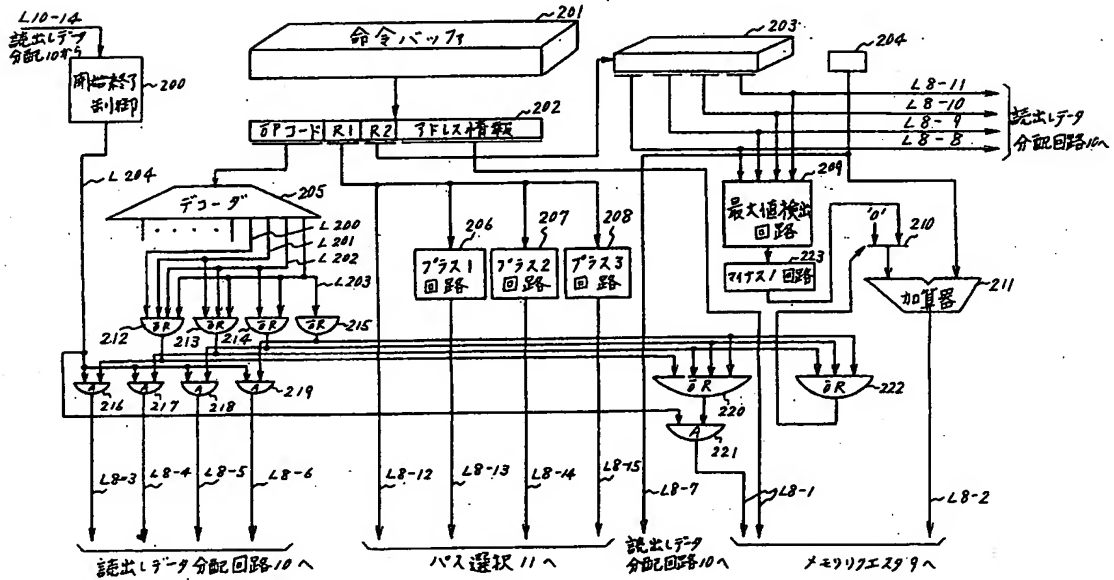
第3図



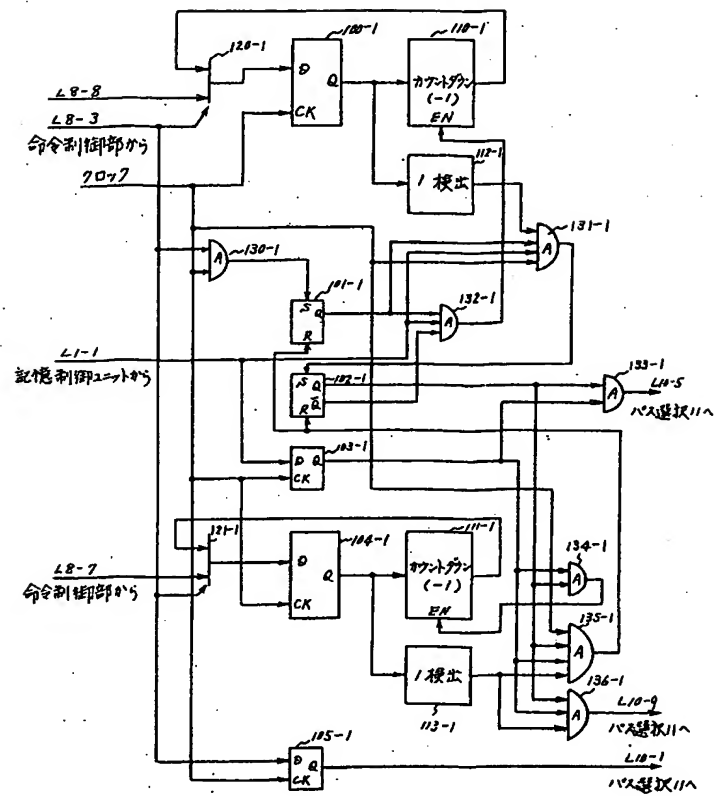
第 4 図



第 5 図



第 6 図



第 7 図

